

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

昭58-86777

⑯ Int. Cl.³
H 01 L 29/78
G 11 C 17/00
H 01 L 27/10

識別記号
101

府内整理番号
7514-5F
6549-5B
6655-5F

⑯ 公開 昭和58年(1983)5月24日
発明の数 1
審査請求 未請求

(全 3 頁)

⑯ MNOS記憶素子のしきい値電圧の設定方法

⑰ 発明者 田中利明

⑯ 特 願 昭56-184829

所沢市大字下富字武野840シチ
ズン時計株式会社技術研究所内

⑯ 出 願 昭56(1981)11月18日

⑯ 出願人 シチズン時計株式会社

⑰ 発明者 早瀬一成

東京都新宿区西新宿2丁目1番
1号

所沢市大字下富字武野840シチ
ズン時計株式会社技術研究所内

明細書

1 発明の名称

MNOS記憶素子のしきい値電圧の設定方法

2 特許請求の範囲

MNOS (Metal - Nitride - Oxide - Semiconductor) 記憶素子に於いて、前記MNOS記憶素子の基板とゲートに電圧を印加して後、前記MNOS記憶素子のゲート端子とソース端子（又はドレイン端子）の間に電圧を加えて前記MNOS記憶素子のしきい値電圧設定することを特徴とする、MNOS記憶素子のしきい値電圧の設定方法。

3 発明の詳細な説明

本発明は電子時計等に用いられるMNOS（金属-塗化膜-酸化膜-半導体物質）記憶素子に関するものである。一般にMNOS記憶素子（以下MNOS Trと称す）は、ゲート絶縁膜として、シリコン酸化膜とシリコン塗化膜の二層絶縁膜を用い、電気的にこの二層絶縁膜の界面又はその近傍のシリコン塗化膜中のトラップセンター（捕獲

中心）に電荷を蓄積させてそのトラップの帶電状態の電荷の量に対応するしきい値電圧の大小を設け、その中間電位をMNOS Trのゲートに印加することにより、MNOS TrのON、OFFによつて、情報の“0”、“1”論理レベルを判定するロジック処理が一般に行なわれる。第1図は、一般のMNOS TrのVG（ゲート電圧）-V_{th}（スレショルド）ヒステリシス曲線を示す。MNOS Trは、第1図のヒステリシス曲線が変化し始める臨界ゲート電圧（V_C）以上のゲート印加電圧（V_G）V₁、V₂、V₃で異なるしきい値電圧V_{th1}、V_{th2}、V_{th3}を各々得ることができる。この特徴をいかし、電位検出装置としてのアナログ情報処理も可能である。しかしながら、異なるしきい値電圧をもつMNOS Trを多数個設ける為には、異なるしきい値電圧をその多個数分のゲート電圧（V_G）を設ける必要がある。異なるしきい値電圧をもつMNOS Trを設定する為にゲート電圧（V_G）を変えて書き込む場合、現実的に再現性よく異なるしきい値電圧を得ることは不可能に近いという欠点があつた。

本発明は、M N O S Trを用い、いつたん情報を書き込んだ後、ゲート端子とソース端子（又はドレイン端子）の電圧差を変え書き込み（又は消去）することと、再現性良く異なるしきい値電圧をもつM N O S Trを設けることができ、アナログ処理も可能な書き込み方法を提供するものである。

第2図は本発明のM N O S Trの書き込み方法の実施例を示す。第2図④はM N O S Trでゲート端子2に高電圧を印加し、書き込みを行ない電荷をトップセンターに捕獲した後ゲート端子2の電圧 V_G を一様に保ち、ソース端子4（又はドレイン端子3）の電圧 V_S 又は V_D を変えてゲート電圧 V_G との差 $|V_G - V_D|$ を V_1 、 V_2 、 V_3 、 V_4 に設定して再書き込みを行なうと、 V_G と V_D の電圧差である $V_1 \sim V_4$ に対応してM N O S Trのしきい値電圧 V_{th} は第2図④に示すように、 $V_1 \sim V_4$ の電圧に対応したしきい値電圧 $V_{th1} \sim V_{th4}$ の値を示す。本発明は、従来行なわれていたゲート端子2の電圧を可変にする手段とは異なり、ドレイン電圧 V_D （又はソース電圧 V_S ）から逆バイアスの電圧を印加す

ることにより、M N O S Trの空乏層を広げ、該空乏層幅を可変に制御して、再書き込み（又は消去）を行ない、異なるしきい値電圧を有するM N O S Trとするもので、ゲート端子2の電圧 V_G から再書き込みの為に印加される電圧をドレイン電圧 V_D （又はソース電圧 V_S ）からの空乏層で該M N O S TrのS : O₂の電界を緩和する手段を用いたもので、 V_{th} の対数値と $|V_G - V_D|$ （又 V_S ）の関係は直線性を示し、再現性は著しく良好である。従つて本発明の方法を用いてM N O S Trを書きめば、M N O S Trのしきい値電圧は、 $|V_G - V_D|$ 電圧で一義的に再現性良く決まる為、アナログ量を検出することも可能で、アナログ記憶電子としての使用も可能で効果は著しく大きい。

4 図面の簡単な説明

第1図は従来のゲート電圧（ V_G ）—しきい値電圧（ V_{th} ）ヒステリシス曲線を示す図、第2図④は本発明のM N O S Trの結線図、第2図④は本発明のM N O S Trのゲート電圧とドレイン電圧（又はソース電圧）の差によるしきい値電圧の特性を示す

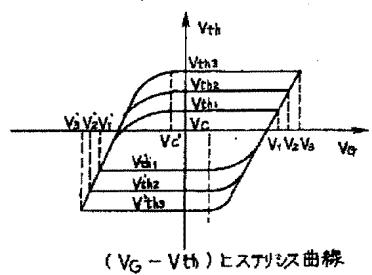
性図である。

2 … ゲート端子、 3 … ドレイン端子、
4 … ソース端子、 V_{th} … スレショルド電圧、
 V_G … ゲート電圧、 V_D … ドレイン電圧、
 V_S … ソース電圧。

特許出願人 シチズン時計株式会社



第1図



第2図

